

#2

Docket No.: YHK-0066

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Eun Cheol LEE and Young Kyo SHIN

New U.S. Patent Application

Filed: June 13, 2001

For: PLASMA DISPLAY AND DRIVING METHOD THEREOF

J1046 U.S. PTO  
09/879170  
06/13/01

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner of Patents  
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. P-00/40251 filed July 13, 2000

Korean Patent Application No. P-00/46222 filed August 9, 2000

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP

Daniel Y.J. Kim  
Registration No. 36,186

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440

**Date: June 13, 2001**

DYK/dlb

J11046 U.S. PTO  
09/879170  
06/13/01

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원-2000년 제 40251 호  
Application Number

출원년월일 : 2000년 07월 13일  
Date of Application

출원인 : 엘지전자 주식회사  
Applicant(s)

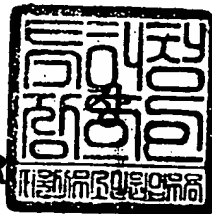
CERTIFIED COPY OF  
PRIORITY DOCUMENT



2001 년 04 월 07 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.07.13
【발명의 명칭】	플라즈마 디스플레이 패널 및 그구동방법
【발명의 영문명칭】	Plasma Display Panel and Driving Method Thereof
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001250-8
【발명자】	
【성명의 국문표기】	이은철
【성명의 영문표기】	LEE, Eun Cheol
【주민등록번호】	660609-1100713
【우편번호】	730-040
【주소】	경상북도 구미시 형곡동 143-9
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	17 면 17,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	507,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 방전효율을 향상시킴과 아울러 크로스토크를 방지할 수 있도록 한 플라즈마 디스플레이 패널에 관한 것이다.

본 발명의 플라즈마 디스플레이 패널은 방전셀의 양측 주변부에 각각 위치되며 어드레스 전극과 교차되는 방향으로 형성되어 제 1 서스테인 펄스가 공급되는 제 1 유지전극들과, 방전셀의 중심부에 위치되며 제 1 유지전극들의 사이에 형성되어 제 1 서스테인 펄스와 교번적으로 제 2 서스테인 펄스가 공급되는 적어도 하나 이상의 제 2 유지전극을 구비한다.

본 발명에 의하면, 방전셀의 중앙부에 형성되어 있는 적어도 하나 이상의 제 1 전극과, 방전셀의 주변부에 형성되어 있는 2개의 제 2 전극간에 서스테인 방전이 일어나므로 방전공간을 효율적으로 활용할 수 있다. 또한, 제 1 전극을 사이에 두고 방전셀의 주변부에 2개의 제 2 전극이 형성되어 있기 때문에 인접되는 방전셀들의 경계부에 형성된 전극들이 동일한 펄스를 공급받기 때문에 방전셀간의 크로스토크를 방지할 수 있다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

플라즈마 디스플레이 패널 및 그 구동방법{Plasma Display Panel and Driving Method Thereof}

**【도면의 간단한 설명】**

도 1은 종래의 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 도 1에 도시된 플라즈마 디스플레이 패널의 전극구조를 나타내는 평면도.

도 3은 도 1에 도시된 플라즈마 디스플레이 패널에 공급되는 구동파형을 나타내는 파형도.

도 4는 본 발명의 제 1 실시예에 의한 플라즈마 디스플레이 패널의 전극구조를 나타내는 평면도.

도 5는 도 4에 도시된 전극들에 구동파형을 공급하는 구동부들을 나타내는 도면.

도 6은 도 4에 도시된 플라즈마 디스플레이 패널에 공급되는 구동파형을 나타내는 파형도.

도 7은 도 4에 도시된 플라즈마 디스플레이 패널에서 발생하는 서스테인 방전을 나타내는 단면도.

도 8은 도 4에 도시된 플라즈마 디스플레이 패널에서 추가로 형성되는 격벽을 나타내는 평면도.

도 9는 본 발명의 제 2 실시예에 의한 플라즈마 디스플레이 패널의 전극구조를 나타내는 평면도.

도 10은 본 발명의 제 3 실시예에 의한 플라즈마 디스플레이 패널의 전극구조를 나타내는 평면도.

도 11은 도 10에 도시된 플라즈마 디스플레이 패널에서 추가로 형성되는 격벽을 나타내는 평면도.

도 12는 도 10에 도시된 플라즈마 디스플레이 패널의 구동장치를 나타내는 평면도.

도 13은 도 10에 도시된 플라즈마 디스플레이 패널에서 발생하는 서스테인 방전을 나타내는 단면도.

도 14는 도 10에 도시된 플라즈마 디스플레이 패널의 구동장치를 나타내는 평면도.

도 15는 도 14의 구동장치에 의해 플라즈마 디스플레이 패널에 공급되는 파형을 나타내는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 상부기판      12Y : 주사/서스테인전극

12Z : 공통서스테인전극    14,22 : 유전체층

16 : 보호막      18 : 하부기판

20X : 어드레스전극    24,36,38 : 격벽

26 : 형광체      28,30 : 방전셀

32,40 : 주사/서스테인 구동부    34,42 : 공통서스테인 구동부

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<23>      본 발명은 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것으로 특히, 방전효율을 향상시킴과 아울러 크로스토크를 방지할 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

<24>      플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 함)은 가스방전에 의해 발생하는 자외선이 형광체를 여기시킬 때 형광체로부터 가시광선이 발생하는 것을 이용한 표시장치이다. PDP는 지금까지 표시수단의 주종을 이루어왔던 음극 선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명 대형화면의 구현이 가능하다는 점등의 장점이 있다. PDP는 매트릭스 형태로 배열된 다수의 방전셀들로 구성되며, 하나의 방전셀은 화면의 한 화소를 이루게 된다.

<25>      도 1은 종래의 3전극 교류 면방전 PDP의 방전셀 구조를 도시한 사시도이다.

<26>      도 1을 참조하면, 종래의 3 전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과, 하부기판(18) 상에 형성되어진 어드레스 전극(20X)을 구비한다. 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)은 인듐 틴 옥사이드(Indium Tin Oxide : 이하 'ITO'라 함)로 형성된 투명전극

이다. 이러한 IT0는 높은 저항값을 갖기 때문에 버스전극(13YB, 13ZB)을 통해 신호를 공급함으로써 각각의 방전셀에 균일한 전압이 인가되도록 하고 있다. 주사/서스테인전극(12Y)과 공통서스테인전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(20X)은 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상부기판(10)/하부기판(18)과 격벽(24) 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.

<27> 도 1에 도시된 PDP의 전체적인 전극라인 및 방전셀의 배치구조는 도 2에 도시된 바와 같다.

<28> 도 2를 참조하면, 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)과 어드레스전극라인(X)이 교차되는 부분에 방전셀(28)이 위치된다. 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)의 배면에는 모든 방전셀(28)에 균일한 전압을 인가할 수 있도록 버스전극들(YB, ZB)이 형성된다. 격벽(24)은 어드레스전극라인(X)과 나란하게 형성된다.



<29> 이러한 교류 면방전형 PDP는 화상의 계조(Gray Level)를 표현하기 위하여 한 프레임을 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 표현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들로 나누어지게 된다. 아울러, 8개의 서브필드들 각각은 어드레스 기간과 서스테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서  $2^n$  ( $n=0,1,2,3,4,5,6,7$ )의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 화상의 계조를 표현할 수 있게 된다.

<30> 계조를 표현하기 위하여 PDP의 각 전극라인에는 각 서브필드 별로 도 3과 같은 구동파형이 공급된다.

<31> 도 3을 참조하면, 하나의 서브필드는 전화면을 초기화하는 리셋기간, 전화면을 순차 방식으로 스캔하면서 데이터를 기입하는 어드레스 기간, 데이터가 기입된 셀들의 발광 상태를 유지시키는 서스테인 기간으로 나누어 구동된다. 먼저, 리셋기간에는 공통서스테인전극라인(Z)에 리셋펄스( $V_R$ )를 인가하여 공통서스테인전극라인(Z)과 주사/서스테인전극라인(Y)간에 리셋방전을 일으킨다. 공통서스테인전극라인(Z)과 주사/서스테인전극라인(Y)간에 리셋방전이 일어나면 각 방전셀들에 프라이밍 하전입자 및 벽전하가 형성된다. 어드레스 기간에는 주사/서스테인전극라인들(Y)에 스캔펄스( $-V_s$ )가 순차적으로 인가되고, 스캔펄스( $-V_s$ )에 동기되어 데이터펄스( $V_d$ )가 어드레스전극라인(X)에 공급된다. 이때, 공통서스테인전극라인(Z)들에는 소정레벨의 직류전압이 공급되며, 이 직류전

압은 어드레스전극라인(X)과 주사/서스테인전극라인(Y) 사이의 어드레스 방전이 안정적으로 일어날 수 있게 한다. 서스테인기간에는 주사/서스테인전극라인(Y)과 공통서스테인전극라인(Z)에 동일한 펄스폭과 전압을 갖는 서스테인 펄스( $V_{sus}$ )가 교번적으로 인가되어 어드레스 방전에 의해 선택된 방전셀들을 서스테인 방전시킨다.

<32> 상술한 바와 같이 종래의 PDP는 서스테인 기간에 서로 인접되게 형성되어 있는 주사/서스테인전극라인 및 공통서스테인전극라인에 교번적으로 서스테인 펄스가 인가된다. 따라서, 인접되게 위치되는 방전셀에 각각 포함되는 주사/서스테인전극라인 및 공통서스테인전극라인 간에 오방전, 즉 크로스토크(Crosstalk)가 발생할 수 있다. 또한, 서스테인 방전은 상부기관의 중앙에 집중되기 때문에 방전공간의 활용도가 떨어진다. 이에 따라 방전면적이 축소되어 발광효율이 저하되는 문제점이 있다. 아울러, 격벽은 어드레스전극라인과 나란하게 형성되어 있다. 따라서, 임의의 방전셀에서 일어나는 방전에 의해 발생된 빛이 임의의 방전셀의 상/하에 형성되어 있는 방전셀들에 영향을 주게 된다. 즉, 임의의 방전셀의 상/하에 형성되어 있는 방전셀간에 크로스토크가 발생된다.

#### 【발명이 이루고자 하는 기술적 과제】

<33> 따라서, 본 발명의 목적은 방전효율을 향상시킴과 아울러 크로스토크를 방지할 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<34> 상기 목적을 달성하기 위하여 본 발명의 플라즈마 디스플레이 패널은 방전셀의 양

측 주변부에 각각 위치되며 어드레스 전극과 교차되는 방향으로 형성되어 제 1 서스테인 펄스가 공급되는 제 1 유지전극들과, 방전셀의 중심부에 위치되며 제 1 유지전극들의 사이에 형성되어 제 1 서스테인 펄스와 교번적으로 제 2 서스테인 펄스가 공급되는 적어도 하나 이상의 제 2 유지전극을 구비한다.

<35> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<36> 이하, 도 4 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<37> 도 4는 본 발명의 제 1 실시예에 의한 PDP의 전극구조를 나타내는 평면도이다.

<38> 도 4를 참조하면, 본 발명의 제 1 실시예에 의한 PDP의 전극은 어드레스전극라인(X)과, 어드레스전극라인(X)과 교차되는 방향으로 형성되는 제 1 및 제 2 공통서스테인 전극라인(Z,Z')과, 제 1 및 제 2 공통서스테인전극라인(Z,Z') 사이에 형성되는 주사/서스테인전극라인(Y)으로 구성된다. 어드레스전극라인(X)과 주사/서스테인전극라인(Y), 제 1 및 제 2 공통서스테인전극라인(Z,Z')이 교차되는 부분에 방전셀(30)이 형성된다. 주사/서스테인전극라인(Y), 제 1 및 제 2 공통서스테인전극라인(Z,Z')은 IT0로 형성된 투명전극이다. 이와 같은 IT0는 높은 저항값을 갖기 때문에 모든 방전셀에 균일한 전압을 인가할 수 있도록 주사/서스테인전극라인(Y), 제 1 및 제 2 공통서스테인전극라인(Z,Z')의 배면에는 버스전극(YB,ZB,ZB')이 형성된다. 격벽(36)은 어드레스전극(X)과 나란한 방향으로 형성된다. 방전셀에서 주사/서스테인전극라인(Y)은 방전셀의 중앙부에 위치되고, 제 1 및 제 2 공통서스테인전극라인(Z,Z')은 주사/서스테인전극라인(Y)을 사이에 두고 방전셀의 주변부에 위치된다.

<39> 도 5는 도 4에 도시된 PDP의 구동장치를 나타내는 도면이다.

<40> 도 5를 참조하면, 본 발명의 제 1 실시예에 의한 PDP의 구동장치는 주사/서스테인 전극라인(Y)을 구동하기 위한 주사/서스테인 구동부(32)와, 제 1 및 제 2 공통서스테인 전극라인(Z,Z')을 구동하기 위한 공통서스테인 구동부(34)로 구성된다. 주사/서스테인 구동부(32)는 주사/서스테인 전극라인(Y)에 스캔펄스와 서스테인펄스를 순차적으로 공급하여 방전셀들(30)이 라인 단위로 순차적으로 주사되게 함과 아울러 방전셀들(30) 각각에서 방전이 지속되게 한다. 공통서스테인 구동부(34)는 제 1 및 제 2 공통서스테인 전극라인(Z,Z') 모두에 서스테인 펄스를 공급하게 된다. 어드레스전극라인(X)은 어드레스 구동부(도시되지 않음)로부터 스캔펄스에 동기되게끔 영상데이터를 공급받는다.

<41> 제조를 표현하기 위하여 PDP의 각 전극라인에는 각 서브필드 별로 도 6과 같은 구동파형이 공급된다.

<42> 도 6을 참조하면, 하나의 서브필드는 전화면을 초기화하는 리셋기간, 전화면을 선 순차 방식으로 스캔하면서 데이터를 기입하는 어드레스 기간, 데이터가 기입된 셀들의 발광 상태를 유지시키는 서스테인 기간으로 나뉘어 구동된다. 먼저, 리셋기간에는 제 1 및 제 2 공통서스테인 전극라인(Z,Z')에 리셋펄스( $V_R$ )를 인가하여 제 1 및 제 2 공통서스테인 전극라인(Z,Z')과 주사/서스테인 전극라인(Y) 간에 리셋방전을 일으킨다. 제 1 및 제 2 공통서스테인 전극라인(Z,Z')과 주사/서스테인 전극라인(Y) 간에 리셋방전이 일어나면 각 방전셀에 프라이밍 하전입자 및 벽전하가 형성된다. 어드레스 기간에는 주사/서스테인 전극라인들(Y)에 스캔펄스( $-V_s$ )가 순차적으로 인가되고, 스캔펄스( $-V_s$ )에 동기되어 데이터펄스( $V_d$ )가 어드레스전극라인(X)에 공급된다. 이때, 제 1 및 제 2 공통서스테인 전극라인(Z,Z')에는 소정레벨의 직류전압이 공급되며, 이 직류전압은 어드레스전극라

인(X)과 주사/서스테인전극라인(Y) 사이의 어드레스 방전이 안정적으로 일어날 수 있게 한다. 서스테인기간에는 주사/서스테인전극라인(Y)과 제 1 및 제 2 공통서스테인전극라인(Z,Z')에 동일한 펄스폭과 전압을 갖는 서스테인 펄스( $V_{sus}$ )가 교번적으로 인가되어 어드레스 방전에 의해 선택된 방전셀들을 서스테인 방전시킨다. 이때, 도 7에 도시된 바와 같이 제 1 및 제 2 공통서스테인전극라인(Z,Z')은 주사/서스테인전극라인(Y)을 사이에 두고 방전셀(30)의 주변부에 형성되어 있기 때문에 방전공간을 효율적으로 활용할 수 있다. 즉, 제 1 및 제 2 공통서스테인전극라인(Z,Z')과 주사/서스테인전극라인(Y) 간에 방전 경로가 긴 서스테인 방전을 일으킬 수 있다. 그리하여 자외선의 발생량을 증가시키고 아울러 발광 면적을 넓혀 발광효율을 향상시키게 된다. 또한, 본 발명의 제 1 실시예에서 방전셀(30) 각각의 주변부에 제 1 및 제 2 공통서스테인전극라인(Z,Z')이 형성되어 있기 때문에 인접되는 방전셀 간에 오방전, 즉 크로스토크를 방지할 수 있다. 상세히 설명하면, 서스테인 기간에 제 1 및 제 2 공통서스테인전극라인(Z,Z')은 동일한 펄스를 공급받는다. 즉, 인접되게 형성된 방전셀(30) 각각의 주변부에 형성되어 있는 제 1 및 제 2 공통서스테인전극라인(Z,Z')이 동일한 펄스를 공급받기 때문에 방전셀 간에 크로스토크를 방지할 수 있다.

<43> 또한, 본 발명의 제 1 실시예에서 격벽(36)은 어드레스전극라인(X)과 나란하게 형성되었다. 하지만, 도 8과 같이 주사/서스테인전극라인(Y), 제 1 및 제 2 공통서스테인전극라인(Z,Z')과 나란하게 형성되는 제 2 격벽(38)을 추가로 구비할 수 있다. 제 2 격벽(38)은 방전셀의 상/하에 형성되어 방전셀간의 크로스토크를 방지한다. 즉, 제 2 격벽(38)은 방전셀의 상/하에 형성되어 임의의 방전셀의 방전에 의해 발생하는 빛이 임의의 방전셀의 상/하에 형성되어 있는 방전셀에 공급되는 것을 방지한다.

<44> 도 9는 본 발명의 제 2 실시예에 의한 PDP의 전극구조를 나타내는 평면도이다.

<45> 도 9를 참조하면, 본 발명의 제 2 실시예에 의한 PDP의 전극은 어드레스전극라인(X)과, 어드레스전극라인(X)과 교차되는 방향으로 형성되는 제 1 및 제 2 공통서스테인 전극라인(Z,Z')과, 제 1 및 제 2 공통서스테인전극라인(Z,Z') 사이에 형성되는 주사/서스테인전극라인(Y)으로 구성된다. 어드레스전극라인(X)과 주사/서스테인전극라인(Y), 제 1 및 제 2 공통서스테인전극라인(Z,Z')이 교차되는 부분에 방전셀(30)이 형성된다. 주사/서스테인전극라인(Y), 제 1 및 제 2 공통서스테인전극라인(Z,Z')은 IT0로 형성된 투명전극이다. 이와 같은 IT0는 높은 저항값을 갖기 때문에 모든 방전셀에 균일한 전압을 인가할 수 있도록 주사/서스테인전극라인(Y), 제 1 및 제 2 공통서스테인전극라인(Z,Z')의 배면에는 버스전극(YB,YB',ZB,ZB')이 형성된다. 이를 본 발명의 제 1 실시예와 비교해 보면 본 발명의 제 2 실시예에 서는 주사/서스테인전극라인(Y)의 배면에 2 개의 버스전극(YB,YB')이 형성된다. 즉, 본 발명의 제 1 실시예에서는 주사/서스테인전극라인(Y)의 중심부 하나의 버스전극(YB)이 형성된다. 하지만, 이와 같이 주사/서스테인전극라인(Y)의 배면에 하나의 버스전극(YB)이 형성되면 주사/서스테인전극라인(Y)의 저항성분에 의해 전압강하가 발생될 염려가 있다. 따라서, 본 발명의 제 2 실시예에서는 주사/서스테인전극라인(Y)의 주변부에 2개의 버스전극(YB,YB')을 형성함으로써 주사/서스테인전극라인(Y)의 저항성분에 의해 발생될 수 있는 전압강하를 방지함과 아울러 방전 전압을 낮추어 방전셀에 벽전하가 용이하게 형성될 수 있게 한다. 본 발명의 제 2 실시예에서는 제 1 실시예와 같이 주사/서스테인전극라인(Y), 제 1 및 제 2 공통서스테인전극라인(Z,Z')과 나란하게 형성되는 제 2 격벽(38)을 추가로 구비할 수 있다. 그 외에 본 발명의 제 2 실시예에서의 구동과정 및 동작과정은 본 발명의 제 1 실시예와 동일하

므로 생략하기로 한다.

- <46> 도 10은 본 발명의 제 3 실시예에 의한 PDP의 전극구조를 나타내는 평면도이다.
- <47> 도 10을 참조하면, 본 발명의 제 3 실시예에 의한 PDP의 전극은 어드레스전극라인(X)과, 어드레스전극라인(X)과 교차되는 방향으로 형성되는 제 1 및 제 2 공통서스테인 전극라인(Z,Z')과, 제 1 및 제 2 공통서스테인전극라인(Z,Z') 사이에 형성되는 제 1 및 제 2 주사/서스테인전극라인(Y,Y')으로 구성된다. 어드레스전극라인(X)과 제 1 및 제 2 주사/서스테인전극라인(Y,Y'), 제 1 및 제 2 공통서스테인전극라인(Z,Z')이 교차되는 부분에 방전셀(30)이 위치된다. 제 1 및 제 2 주사/서스테인전극라인(Y,Y'), 제 1 및 제 2 공통서스테인전극라인(Z,Z')은 ITO로 형성된 투명전극이다. 이와 같은 ITO는 높은 저항값을 갖기 때문에 모든 방전셀에 균일한 전압을 인가할 수 있도록 제 1 및 제 2 주사/서스테인전극라인(Y,Y'), 제 1 및 제 2 공통서스테인전극라인(Z,Z')의 배면에는 버스전극(YB,YB', ZB,ZB')이 형성된다. 격벽(36)은 어드레스전극(X)과 나란한 방향으로 형성된다. 방전셀(30)에서 제 1 및 제 2 주사/서스테인전극라인(Y,Y')은 방전셀(30)의 중앙부에 위치되고, 제 1 및 제 2 공통서스테인전극라인(Z,Z')은 제 1 및 제 2 주사/서스테인전극라인(Y,Y')을 사이에 두고 방전셀(30)의 주변부에 위치된다. 이를 본 발명의 제 1 실시예와 비교해 보면 본 발명의 제 3 실시예에서는 제 1 및 제 2 공통서스테인전극라인(Z,Z')의 사이에 2개의 주사/서스테인전극라인(Y,Y')이 형성된다. 즉, 본 발명의 제 1

실시예에서는 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ )의 사이에 하나의 주사/서스테인 전극라인( $Y$ )이 형성된다. 하지만, 이와 같이 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ )의 사이에 하나의 주사/서스테인전극라인( $Y$ )이 형성되면 서스테인 기간에 주사/서스테인 전극라인( $Y$ )과 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ ) 중 어느 하나와 먼저 방전이 발생되어 방전이 불안정하게 될 염려가 있다. 따라서, 본 발명의 제 3 실시예에서는 2개의 주사/서스테인전극라인( $Y$ )을 형성하여 서스테인 기간에 제 1 공통서스테인전극라인( $Z$ )과 제 1 주사/서스테인전극라인( $Y$ ) 간에 방전을 일으키고, 제 2 공통서스테인전극라인( $Z'$ )과 제 2 주사/서스테인전극라인( $Y'$ ) 간에 방전을 일으켜 방전셀 내에 안정된 방전이 일어날 수 있도록 한다. 또한, 본 발명의 제 3 실시예에서는 상/하로 인접되게 위치되는 방전셀들간의 크로스 토크를 방지할 수 있도록 도 11과 같이 제 1 및 제 2 주사서스테인전극라인( $Y, Y'$ ), 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ )과 나란하게 형성되는 제 2 격벽(38)을 추가로 구비할 수 있다.

<48> 도 12는 도 11에 도시된 PDP의 구동장치를 나타내는 도면이다.

<49> 도 12를 참조하면, 본 발명의 제 3 실시예에 의한 PDP의 구동장치는 제 1 및 제 2 주사/서스테인전극라인( $Y, Y'$ )을 구동하기 위한 주사/서스테인 구동부(40)와, 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ )을 구동하기 위한 공통서스테인 구동부(42)로 구성된다. 주사/서스테인 구동부(40)는 제 1 및 제 2 주사/서스테인전극라인( $Y, Y'$ )에 스캔펄스와 서스테인펄스를 순차적으로 공급하여 방전셀들(30)이 라인 단위로 순차적으로 주사되게 함과 아울러 방전셀들(30) 각각에서 방전이 지속



되게 한다. 공통서스테인 구동부(42)는 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ ) 모두에 서스테인 펄스를 공급하게 된다. 어드레스전극라인( $X$ )은 어드레스 구동부(도시되지 않음)로부터 스캔펄스에 동기되게끔 영상데이터를 공급받는다. 본 발명의 제 3 실시예에서 하나의 방전셀(30)에 형성된 제 1 및 제 2 주사/서스테인전극라인( $Y, Y'$ )은 주사/서스테인 구동부(40)로부터 동일한 구동파형을 공급받는다.

<50> 서스테인 기간에 본 발명의 제 3 실시예에 의한 PDP는 도 13에 도시된 바와 같이 제 1 공통서스테인전극라인( $Z$ )과 제 1 주사/서스테인전극라인( $Y$ ) 간에 서스테인 방전을 일으키고, 제 2 공통서스테인전극라인( $Z'$ )과 제 2 주사/서스테인전극라인( $Y'$ ) 간에 서스테인 방전을 일으킨다. 즉, 방전셀(30)의 중심부에 형성되어 있는 제 1 및 제 2 주사/서스테인전극라인( $Y, Y'$ )과, 방전셀(30)의 주변부에 형성되어 있는 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ ) 간에 서스테인 방전이 일어나기 때문에 방전공간을 효율적으로 활용할 수 있다. 또한, 하나의 방전셀(30) 각각에 4개의 서스테인전극라인들( $Y, Y', Z, Z'$ )이 형성되어 있기 때문에 서스테인 방전을 안정적으로 일으킬 수 있다. 그 외에 본 발명의 제 3 실시예에서의 구동파형 및 동작과정은 본 발명의 제 1 실시예와 동일하므로 생략하기로 한다.

<51> 또한, 본 발명의 제 1 내지 제 3 실시예에서는 방전셀(30)의 중심부에 형성되어 있는 전극을 주사/서스테인전극( $Y$ )으로 이용하고, 방전셀(30)의 주변부에 형성되어 있는 전극을 공통서스테인전극( $Z$ )으로 이용하였다. 하지만, 도 14와 같이 방전셀(30)의 중심부에 형성되어 있는 전극을 공통서스테인전극( $Z$ )으로 이용하고, 방전셀의 주변부에 형성되어 있는 전극을 주사/서스테인전극( $Y$ )으로 이용할 수 있

다. 도 14는 본 발명의 제 3 실시예에 의한 전극구조를 도시하였지만, 도 1 및 도 2 실시예에서도 도 14와 동일하게 중심부에 형성되어 있는 전극을 공통서스테인전극(Z)으로 이용하고, 방전셀의 주변부에 형성되어 있는 전극을 주사/서스테인전극(Y)으로 이용할 수 있다.

<52> 도 14를 참조하면, 방전셀(30)의 주변부에 위치되는 제 1 및 제 2 주사서스테인전극라인(Y,Y')을 구동하기 위한 주사/서스테인 구동부(40)와, 방전셀(30)의 중심부에 위치되는 제 1 및 제 2 공통서스테인전극라인(Z,Z')을 구동하기 위한 공통서스테인 구동부(42)가 도시되어 있다. 주사/서스테인 구동부(40)는 제 1 및 제 2 주사/서스테인전극라인(Y)에 스캔펄스와 서스테인펄스를 순차적으로 공급하여 방전셀들(30)이 라인 단위로 순차적으로 주사되게 함과 아울러 방전셀들(30) 각각에서 방전이 지속되게 한다. 공통서스테인 구동부(42)는 제 1 및 제 2 공통서스테인전극라인(Z,Z') 모두에 서스테인펄스를 공급하게 된다. 어드레스전극라인(X)은 어드레스 구동부(도시되지 않음)로부터 스캔펄스에 동기되게끔 영상데이터를 공급받는다.

<53> 도 15는 도 14에 도시된 PDP에 전극라인들에 입력되는 구동파형을 나타내는 파형도이다.

<54> 도 15를 참조하면, 하나의 서브필드는 전화면을 초기화하는 리셋기간, 전화면을 선순차 방식으로 스캔하면서 데이터를 기입하는 어드레스 기간, 데이터가 기입된 셀들의 발광 상태를 유지시키는 서스테인 기간으로 나뉘어 구동된다. 먼저, 리셋기간에는 방전셀의 중심부에 형성되어 있는 제 1 및 제 2 공통서스테인전극라

인( $Z, Z'$ )에 리셋펄스( $V_R$ )를 인가하여 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ )과 제 1 및 제 2 주사/서스테인전극라인( $Y, Y'$ ) 간에 리셋방전을 일으킨다. 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ )과 제 1 및 제 2 주사/서스테인전극라인( $Y, Y'$ ) 간에 리셋방전이 일어나면 각 방전셀에 프라이밍 하전입자 및 벽전하가 형성된다. 어드레스 기간에는 방전셀의 주변부에 형성되어 있는 제 1 및 제 2 주사/서스테인전극라인들( $Y, Y'$ )에 스캔펄스( $-V_s$ )가 순차적으로 인가되고, 스캔펄스( $-V_s$ )에 동기되어 데이터펄스( $V_d$ )가 어드레스전극라인( $X$ )에 공급된다. 이때, 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ )에는 소정레벨의 직류전압이 공급되며, 이 직류전압은 어드레스전극라인( $X$ )과 제 1 및 제 2 주사/서스테인전극라인( $Y, Y'$ ) 사이의 어드레스 방전이 안정적으로 일어날 수 있게 한다. 서스테인기간에는 제 1 및 제 2 주사/서스테인전극라인( $Y, Y'$ )과 제 1 및 제 2 공통서스테인전극라인( $Z, Z'$ )에 동일한 펄스폭과 전압을 갖는 서스테인 펄스( $V_{sus}$ )가 교번적으로 인가되어 어드레스 방전에 의해 선택된 방전셀들을 서스테인 방전시킨다.

#### 【발명의 효과】

<55> 상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널 및 그 구동방법에 의하면 방전셀의 중앙부에 형성되어 있는 적어도 하나 이상의 제 1 전극과, 방전셀의 주변부에 형성되어 있는 2개의 제 2 전극간에 서스테인 방전이 일어나므로 방전공간을 효율적으로 활용할 수 있다. 즉, 제 1 전극과 제 2 전극간에 방전경로가 긴 서스테인 방전을 일으킬 수 있다. 또한, 제 1 전극을 사이에 두고 방전

셀의 주변부에 2개의 제 2 전극이 형성되어 있기 때문에 인접되는 방전셀들의 경계부에 형성된 전극들이 동일한 펄스를 공급받기 때문에 방전셀간의 크로스토크를 방지할 수 있다. 더불어, 제 1 및 제 2 전극과 나란하게 격벽이 추가로 설치되어 방전셀간의 크로스토크를 방지할 수 있다.

<56> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

플라즈마 디스플레이 패널의 화소단위를 이루는 각 방전셀들 내에 포함되는 어드레스 전극과,

상기 방전셀의 양측 주변부에 각각 위치되며 상기 어드레스 전극과 교차되는 방향으로 형성되어 제 1 서스테인 펄스가 공급되는 제 1 유지전극들과,

상기 방전셀의 중심부에 위치되며 상기 제 1 유지전극들의 사이에 형성되어 상기 제 1 서스테인 펄스와 교번적으로 제 2 서스테인 펄스가 공급되는 적어도 하나 이상의 제 2 유지전극을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**【청구항 2】**

제 1 항에 있어서,

상기 제 2 유지전극의 중심부에 금속으로 형성되며 상기 제 2 유지전극과 나란하게 형성되는 버스전극을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**【청구항 3】**

제 1 항에 있어서,

상기 제 2 유지전극의 양측 가장자리에 금속으로 형성되며 상기 제 2 유지전극과 나란하게 형성되는 버스전극을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**【청구항 4】**

제 1 항에 있어서,

상기 방전셀의 중심부에 위치되며 상기 제 1 유지전극들의 사이에 형성되는 두 개의 제 2 유지전극을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**【청구항 5】**

제 1 항에 있어서,

상기 어드레스 전극과 나란하게 형성되는 제 1 격벽과,

상기 제 1 및 제 2 유지전극과 나란하게 형성되는 제 2 격벽을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**【청구항 6】**

제 5 항에 있어서,

상기 제 2 격벽은 상기 방전셀들의 경계부에 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**【청구항 7】**

제 1 항에 있어서,

상기 제 2 유지전극은 스캔펄스를 공급하는 주사/서스테인 구동부와 접속되고,

상기 제 1 유지전극은 리셋펄스를 공급하는 공통서스테인 구동부와 접속되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**【청구항 8】**

제 1 항에 있어서,

상기 제 1 유지전극은 스캔펄스를 공급하는 주사/서스테인 구동부와 접속되고,

상기 제 2 유지전극은 리셋펄스를 공급하는 공통서스테인 구동부와 접속되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

**【청구항 9】**

플라즈마 디스플레이 패널의 화소단위를 이루는 방전셀들 내에 포함되는 어드레스 전극을 구비하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 방전셀의 양측 주변부에 각각 위치되며 상기 어드레스 전극과 교차되는 방향으로 제 1 유지전극들이 형성되는 단계와,

상기 방전셀의 중심부에 위치되며 상기 제 1 유지전극들의 사이에 형성되는 적어도 하나 이상의 제 2 유지전극들이 형성되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 10】**

제 9 항에 있어서,

상기 방전셀을 초기화하기 위하여 상기 제 1 유지전극에 리셋펄스가 공급되는 단계와,

상기 켜질 방전셀을 선택하기 위하여 상기 어드레스 전극에 데이터 펄스가 공급되고, 상기 데이터펄스에 동기되어 상기 제 2 유지전극에 스캔펄스가 순차적으로 공급되는 단계와;

상기 켜질 방전셀들을 방전시키기 위하여 상기 제 1 및 제 2 유지전극에 서스테인 펄스가 교번적으로 인가되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 11】**

제 9 항에 있어서,

상기 방전셀을 초기화하기 위하여 상기 제 2 유지전극에 리셋펄스가 공급되는 단계와,

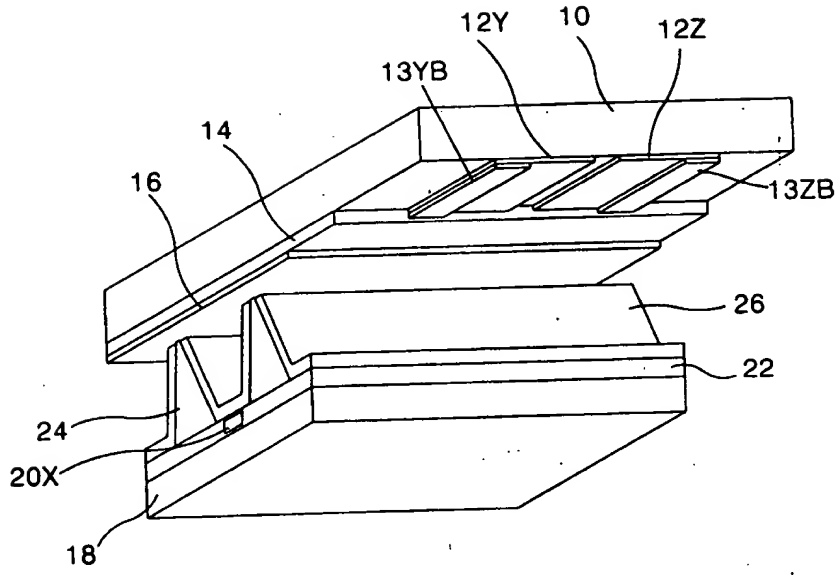
상기 켜질 방전셀을 선택하기 위하여 상기 어드레스 전극에 데이터 펄스가 공급되고, 상기 데이터펄스에 동기되어 상기 제 1 유지전극에 스캔펄스가 순차적으로 공급되는 단계와;

상기 켜질 방전셀들을 방전시키기 위하여 상기 제 1 및 제 2 유지전극에 서스테인 펄스가 교번적으로 인가되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

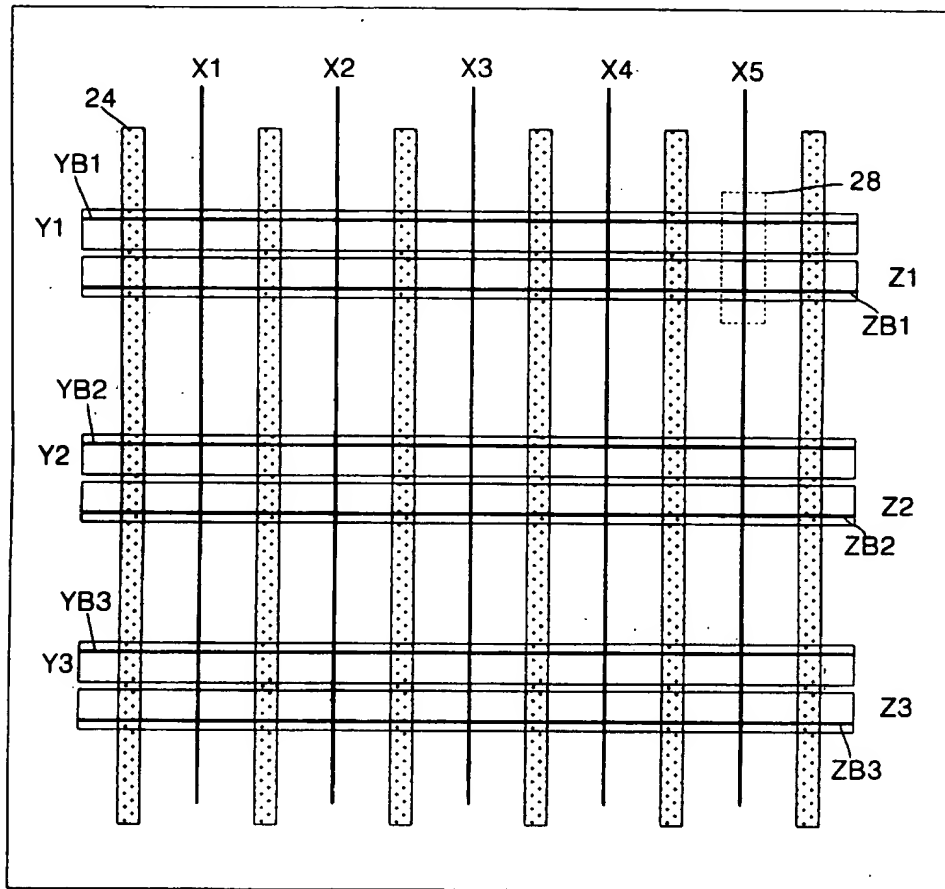


【도면】

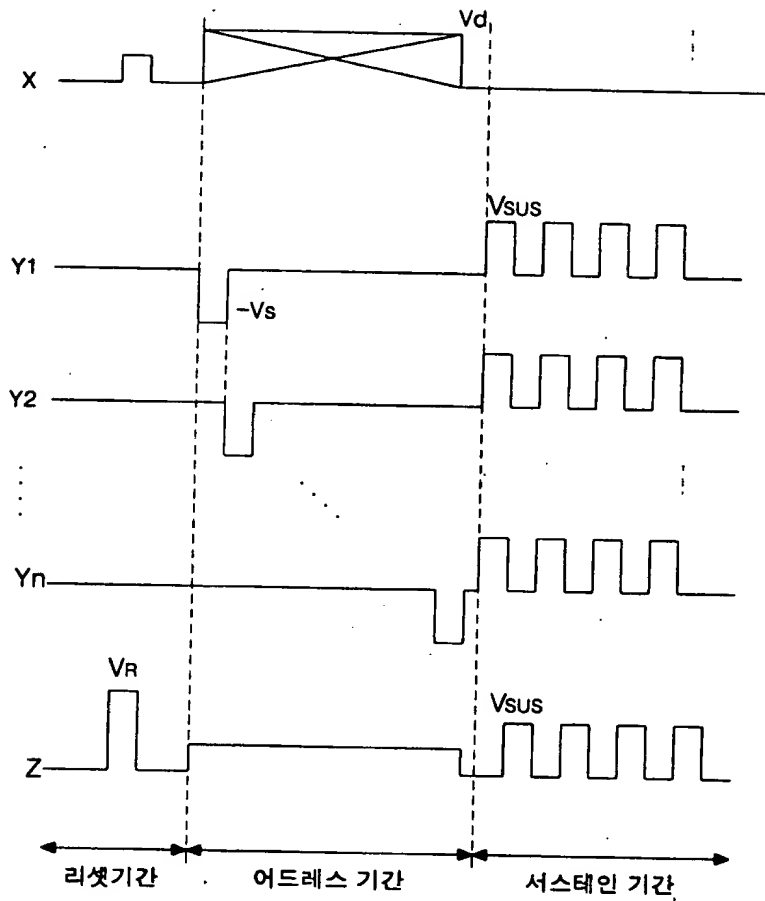
【도 1】



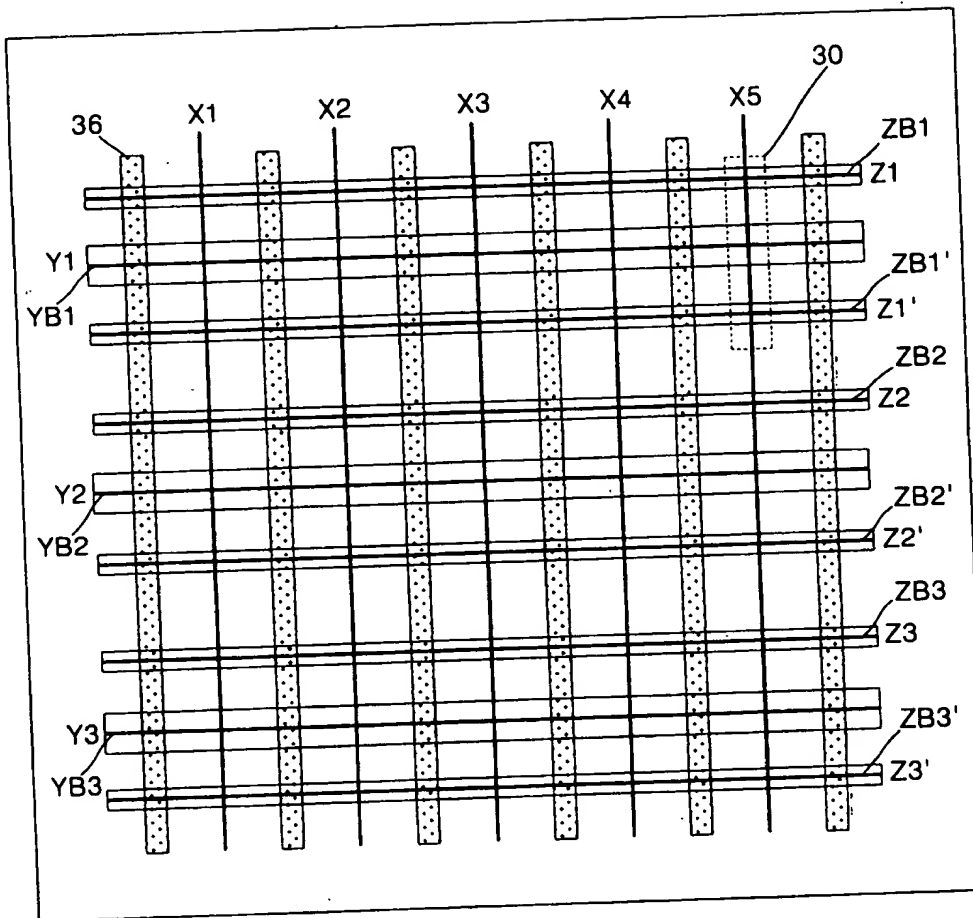
【도 2】



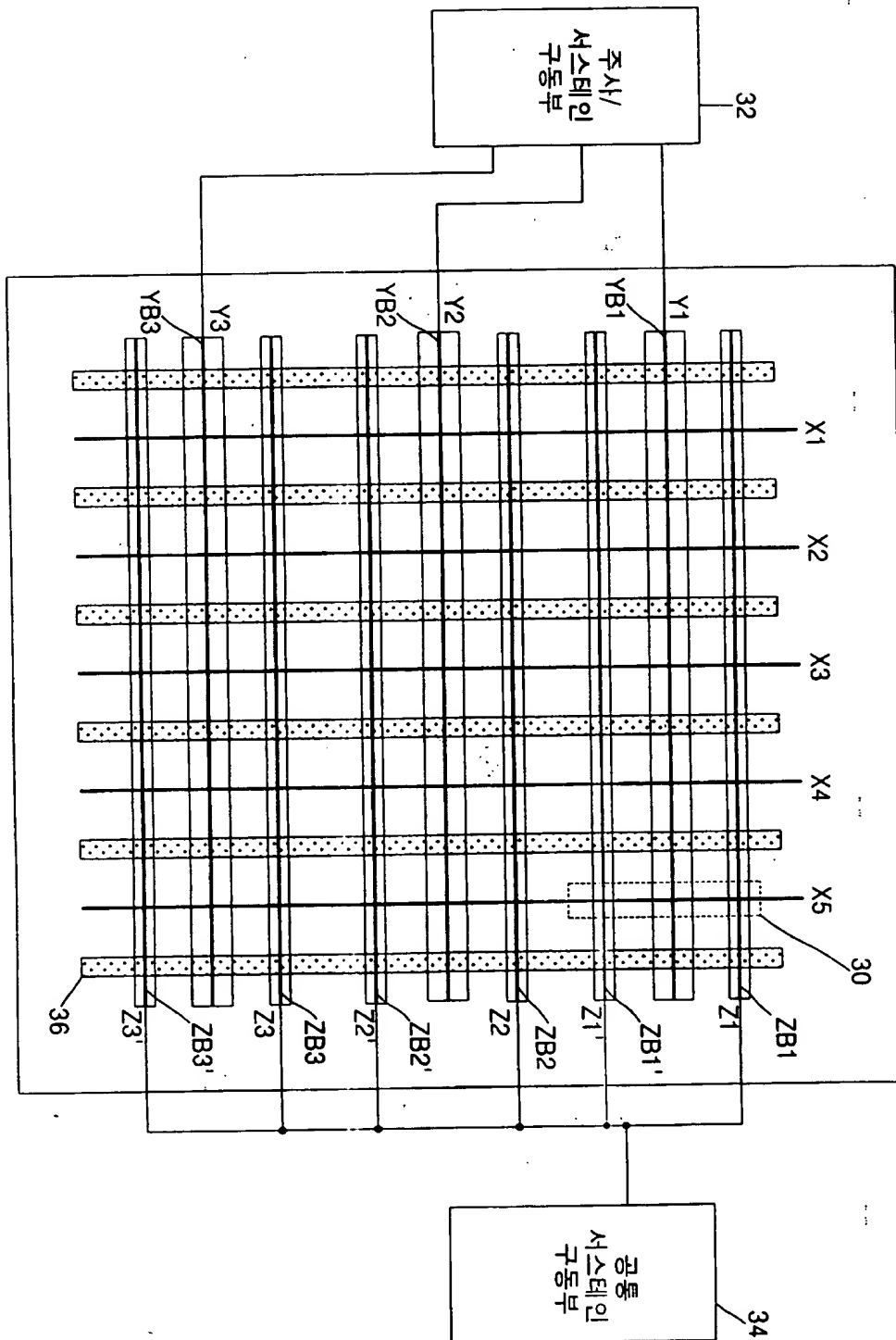
【도 3】



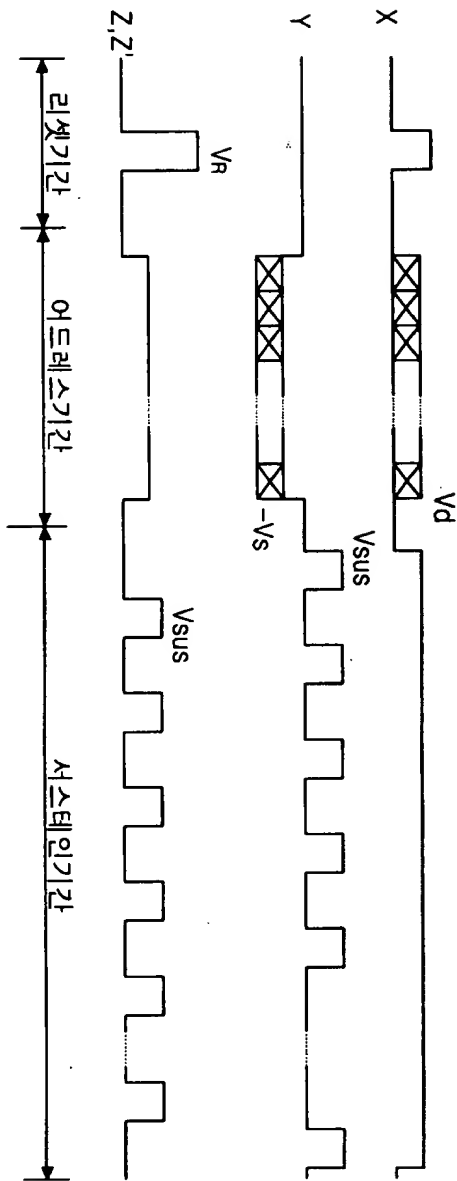
【도 4】



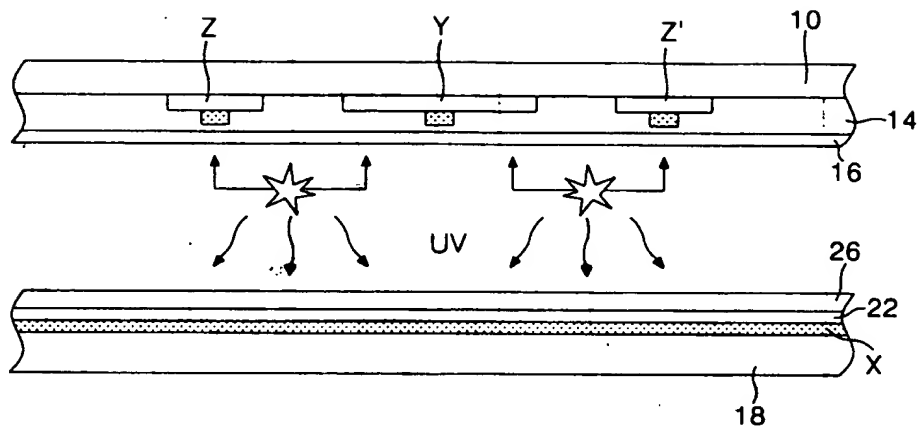
【도 5】



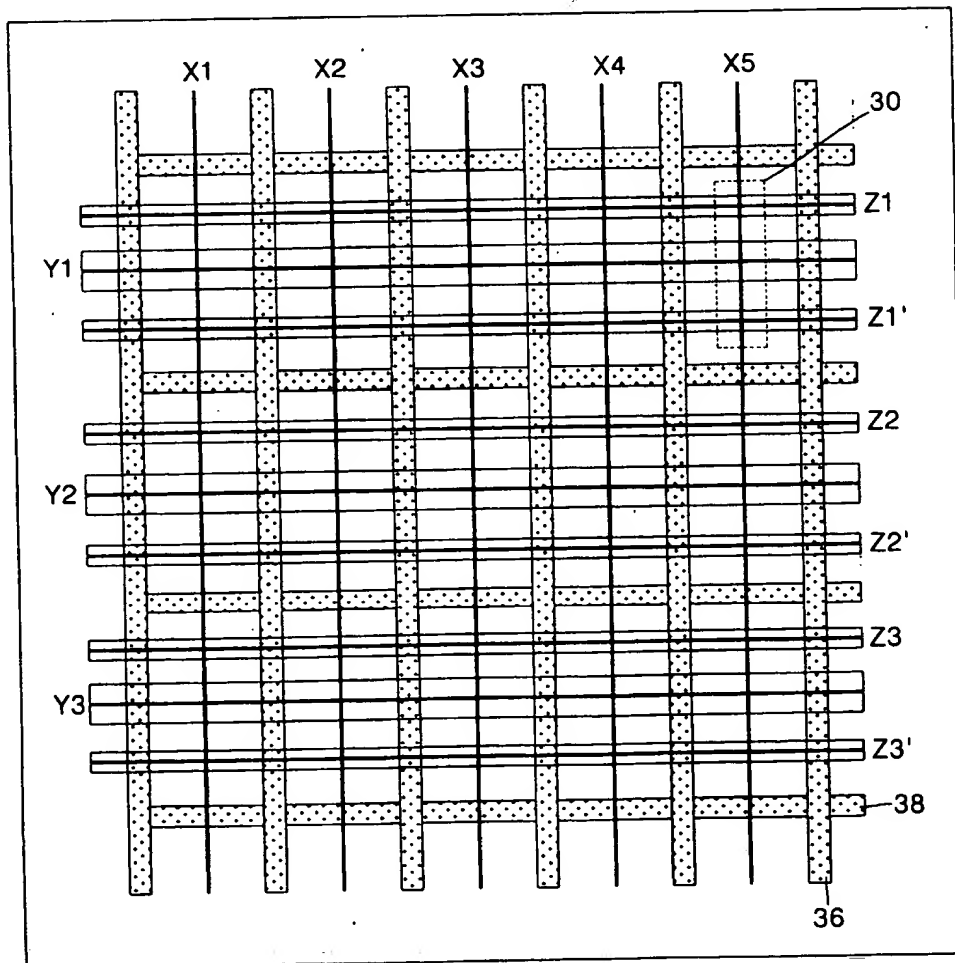
【도 6】



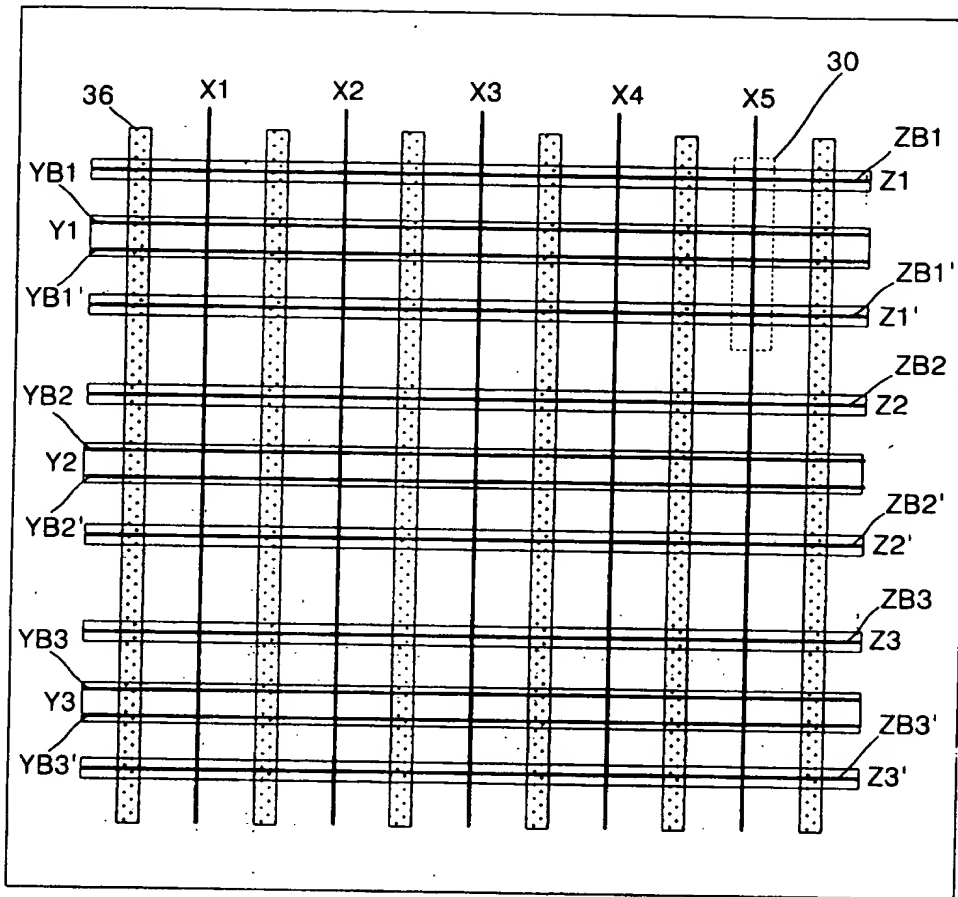
【도 7】



【도 8】

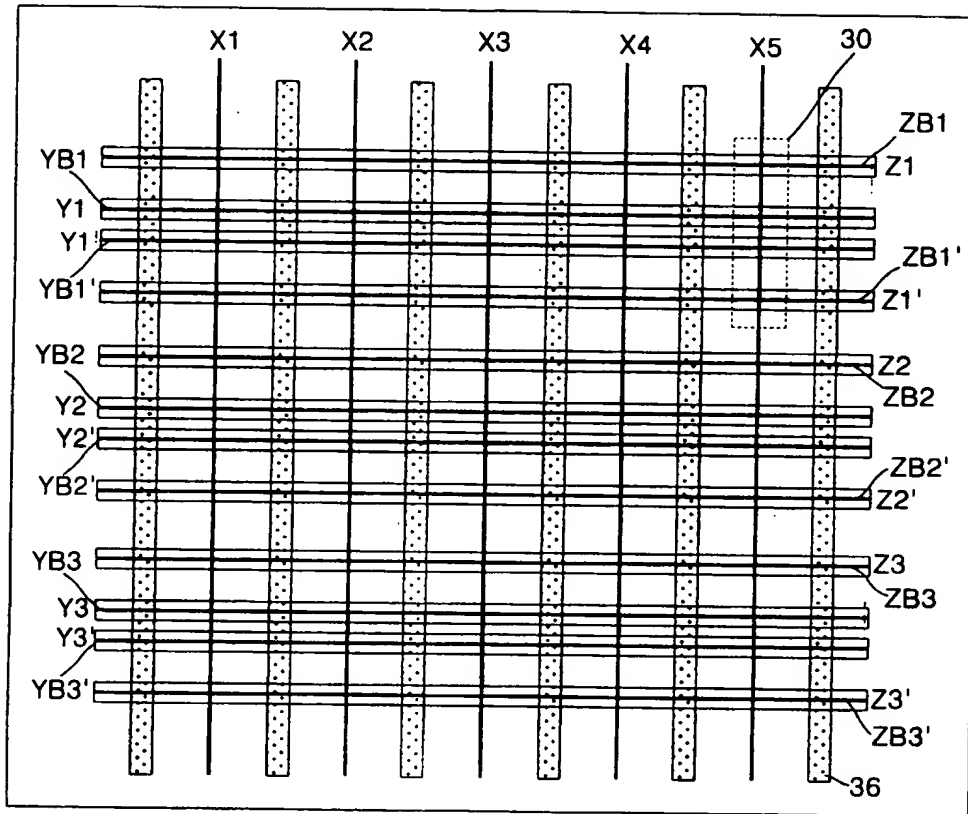


【도 9】

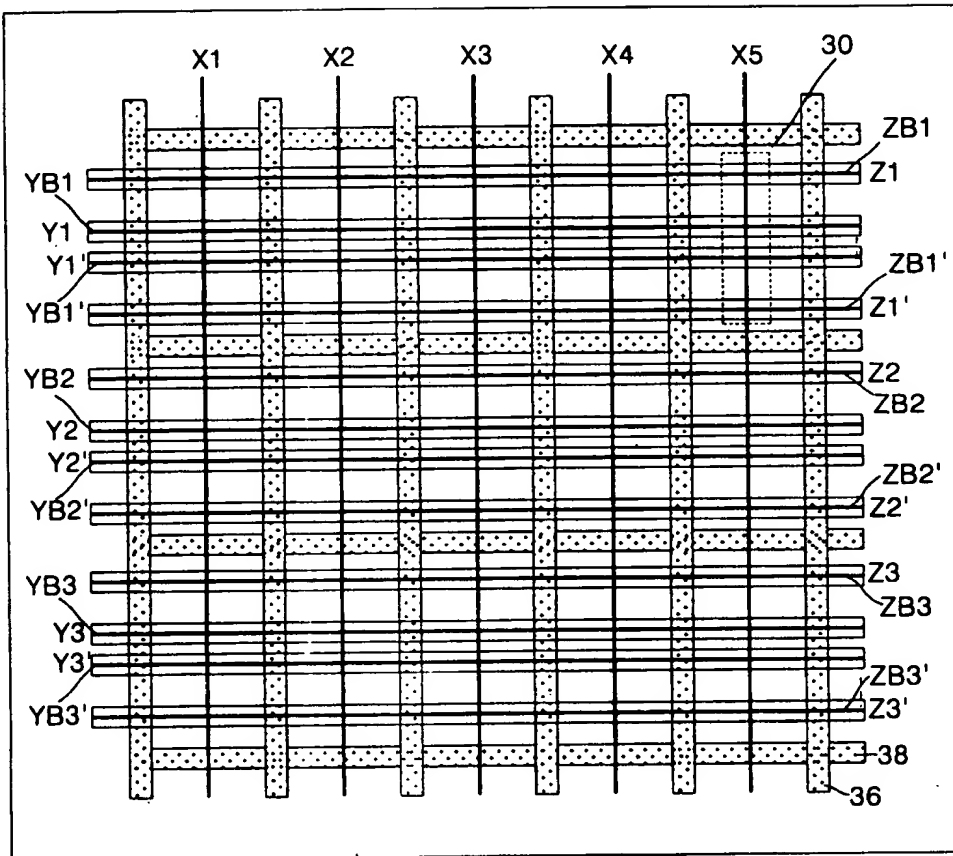




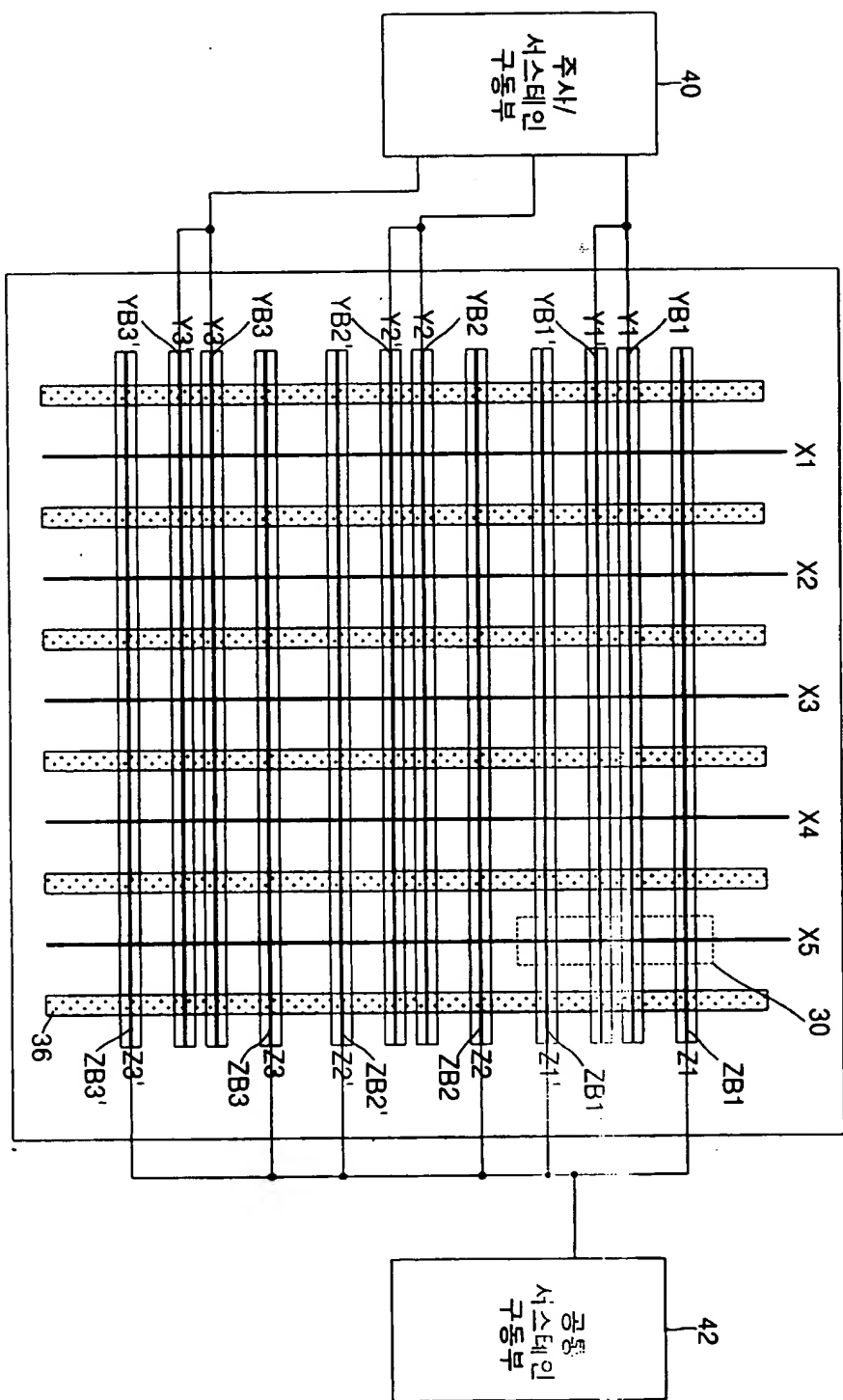
【도 10】



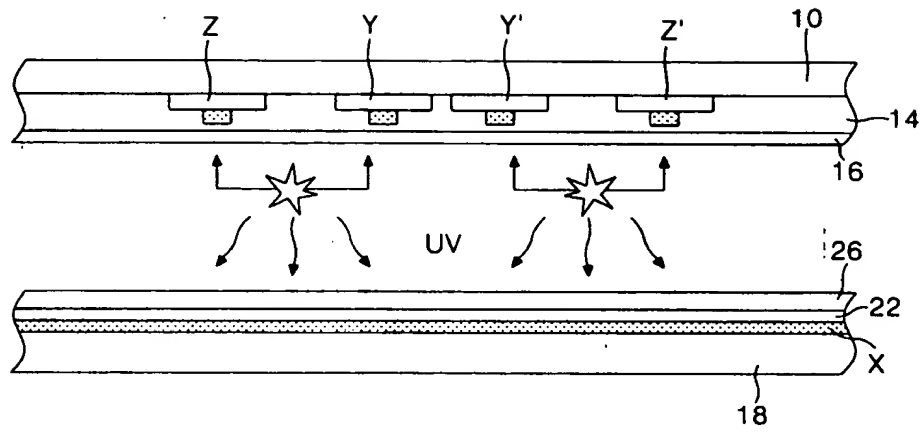
【도 11】



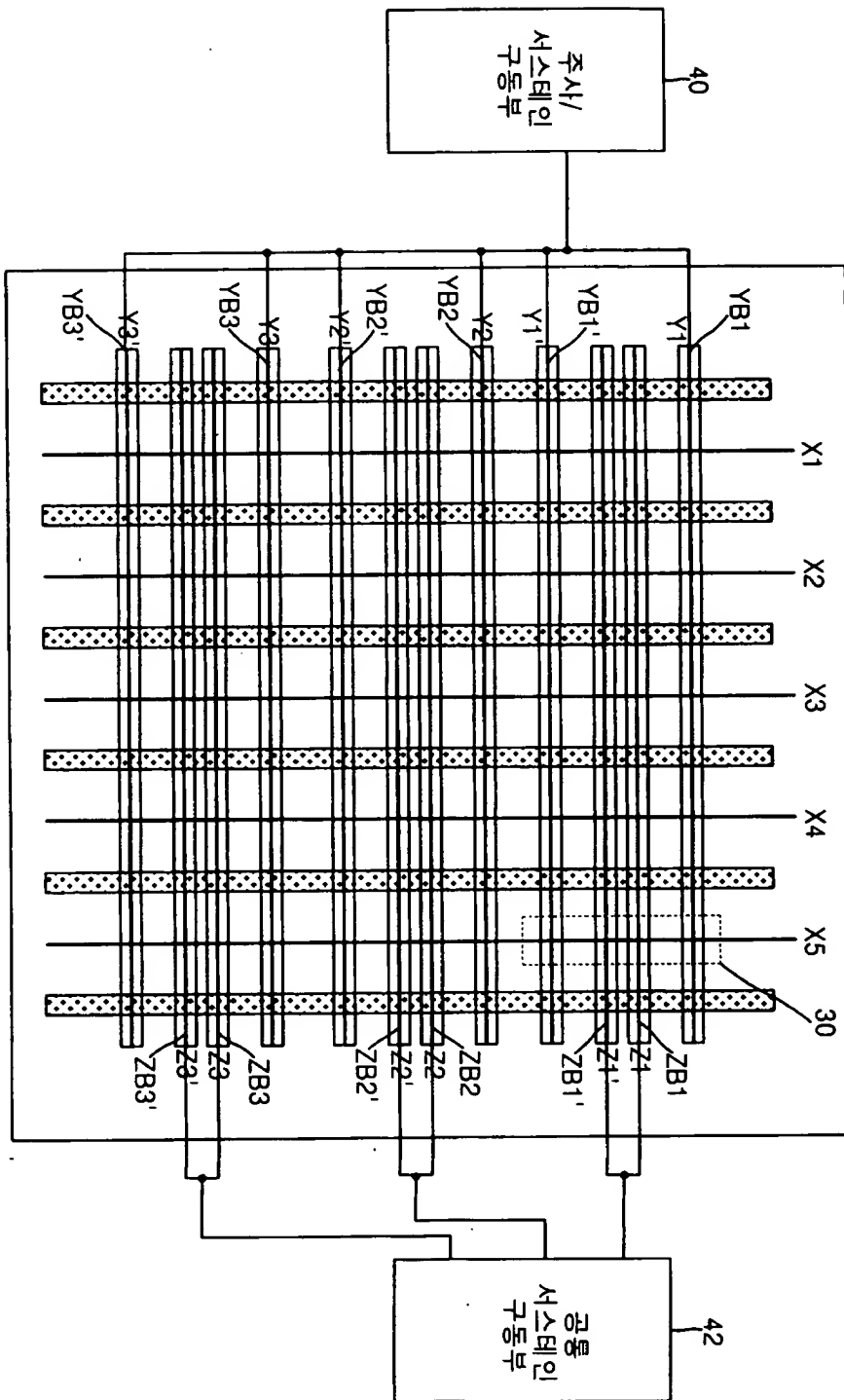
【도 12】



【도 13】



【도 14】



【도 15】

